

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-129359
 (43)Date of publication of application : 21.05.1996

(51)Int.CL 6086 3/30
 H05B 33/08

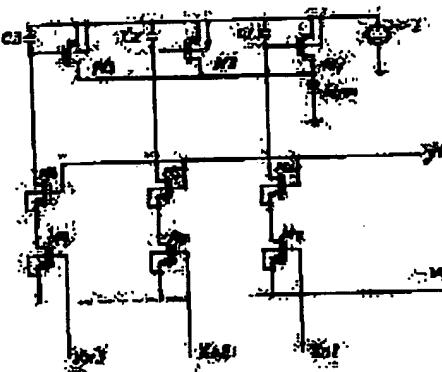
(21)Application number : 06-267243 (71)Applicant : TDK CORP
 SEMICONDUCTOR ENERGY LAB
 CO LTD
 (22)Date of filing : 31.10.1994 (72)Inventor : TAKAYAMA ICHIRO
 ARAI MICHIO

(54) ELECTROLUMINESCENCE DISPLAY DEVICE

(57)Abstract

PURPOSE: To make it hardly influenced by the noise of a selection switch, etc., by selecting the combination of ON/OFF of plural drive TFTs in one pixel and performing gradation display by controlling a current flowing through an EL element.

CONSTITUTION: When transistors M4-M6 are selected by means of a selection signal y_m from a Y-axis shift register, an X-axis register outputs a shift signal in the order of selection signals X_{n1} - X_{n3} . The driving voltage of an image data signal $-V_L$ having digital H or L is held synchronized with the shifts of the selection signals X_{n1} - X_{n3} , drive TFTs M1-M3 having L are turned on and an EL power source 1 is supplied to an EL element ELnm through the drive TFT. When all drive TFTs M1-M3 are turned on, the EL element ELnm emits light with the maximum luminance and the gradation display is performed by selecting the drive TFTs M1-M3.



LEGAL STATUS

[Date of request for examination] 12.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3467334

[Date of registration] 29.08.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

‘04年06月10日(木) 17時41分 編:米 OLIFF

卷之三

R:202

P. 24

Searching PAJ

decision of rejection]
[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

CLAIMS

[Claim(s)]

[Claim 1] Electroluminescent display equipment characterized by performing a gradation display by preparing electroluminescence devices and two or more drive TFT which drives these electroluminescence devices for every pixel, and choosing two or more aforementioned drive TFT.

[Claim 2] Two or more aforementioned drive TFT is electroluminescent display equipment according to claim 1 characterized by for mutual conductances differing, respectively and being constituted.

[Claim 3] Electroluminescent display equipment according to claim 1 or 2 characterized by preparing a latch circuit in maintenance of the driver voltage of two or more aforementioned drive TFT.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to EL display which drives an electroluminescence (henceforth EL) element using TFT (henceforth TFT).

[0002]

[Description of the Prior Art] Drawing 4 drawing 6 are drawings having shown the conventional example. Hereafter, the

conventional example is explained based on a drawing.

[0003] Drawing 4 (a) is a panel block diagram, and the display screen 11, the shift register 12 of the X-axis, and the shift register 13 of a Y-axis are formed in the display (display) panel 10.

[0004] EL power supply is supplied to the display screen 11, and supply of a shift register power supply and the input of an X-axis synchronizing signal are performed to the shift register 12 of the X-axis. Furthermore, supply of a shift register power supply and the input of a Y-axis synchronizing signal are performed to the shift register 13 of a Y-axis. Moreover, the output of an image data signal is prepared in the output section of the shift register 12 of the X-axis.

[0005] Drawing 4 (b) is expansion explanatory drawing of the A section of drawing 4 (a), to 1 pixel (the rectangular head of a dotted line shows) of the display screen 11, two pieces and a capacitor consist of one piece, and the EL element consists of one piece for the transistor.

[0006] When this 1-pixel luminescence operation has the output of a selection signal y1 with the shift register 13 of a Y-axis and there is an output of a selection signal x1 with the shift register 12 of the X-axis, a transistor Ty11 and a transistor Tx1 are turned on.

[0007] For this reason, image data signal VL is inputted into the gate of the

drive transistor M11. Thereby, the current according to this gate voltage flows between the drain of the drive transistor M11, and the source from EL power supply, and EL-element EL11 emits light.

[0008] To the following timing, although the shift register 12 of the X-axis will make the output of a selection signal x1 off and selection signal x2 will be outputted, the aforementioned luminescence of EL-element EL11 will be maintained until this pixel is chosen next, since the gate voltage of the drive transistor M11 is held by the capacitor c11.

[0009] Drawing 5 is explanatory drawing of the X-axis shift register of the conventional example. In drawing 5, NAND circuits 21 and 22 are waveform shaping circuits, and start pulse SP of clock-CL of an opposite phase and a low ("L") is inputted. Moreover, clocked inverters 26-32 and inverters 33-37 are shift registers. Furthermore, inverters 38-43 and NAND circuits 23-25 are logical circuits which output selection signals x1-x3.

[0010] As for Clock CL and opposite phase clock-CL, another side is set to a low ("L") when one side is a high level ("H"). In a clocked inverter, a clock CL input will be in a high impedance state, when a clock CL input will be in an active state when an opposite phase clock-CL input is "H", and it operates as an

inverter by "L" and an opposite phase clock-CL input is "L" in "H" conversely. [0011] For example, as for the clocked inverter 26 and the clocked inverter 29, the clock CL input and opposite phase clocked-into-CL are connected conversely. For this reason, when a clocked inverter 26 is an active state, a clocked inverter 29 will be in a high impedance state.

[0012] Drawing 6 is wave explanatory drawing of the conventional example, and explains operation of the shift register of the X-axis of drawing 5 hereafter based on the wave of each point of drawing 6. (1) The potential of A points which is the output of a waveform shaping circuit is "H" when there is no start pulse SP ("L"). A points will be set to "L" if start pulse SP of "L" is inputted at this time (refer to drawing 6 and A).

[0013] (2) Since a clocked inverter 29 will be in an active state when it is set to "H" and a clocked inverter 26 will next be in a high impedance state, since a clocked inverter 26 will be in an active state when, as for the B point, A points are set to "L", "H" of the aforementioned B point is held only for the active period of a clocked inverter 29 (refer to drawing 6 and B).

[0014] (3) C points become a B point and the wave of an opposite phase by the inverter 33 (refer to drawing 6 and C). (4) D points become half-clock cycle delay ***** from the B point by the holding circuit by the clocked inverter 29, the

clocked inverter 27 which will be in an active state simultaneously, and an inverter 34 and a clocked inverter 30.

[0015] (5) E points become D points and the wave of an opposite phase by the inverter 34, and become half-clock cycle delay ***** from the wave of C points (refer to drawing 6 and E).

(6) F points become half-clock cycle delay ***** from D points by the holding circuit by the clocked inverter 30, the clocked inverter 28 which will be in an active state simultaneously, and an inverter 35 and a clocked inverter 31.

[0016] (7) G points become F points and the wave of an opposite phase by the inverter 35, and become half-clock cycle delay ***** from the wave of E points (refer to drawing 6 and G).

(8) H points become the reversal signal of C points by the inverter 38 (refer to drawing 6 and H). I points become the reversal signal of E points by the inverter 39 (refer to drawing 6 and I). Moreover, J point serves as a reversal signal of G points by the inverter 40 (refer to drawing 6 and J).

[0017] (9) K points are the outputs of NAND circuit 23, and the signal of H points and E points is inputted into two inputs of NAND circuit 23. L points are the outputs of NAND circuit 24, and the signal of I points and G points is inputted into two inputs of NAND circuit 24.

Moreover, M points are the outputs of NAND circuit 25, and the signal from J

point and an inverter (not shown) is inputted into two inputs of NAND circuit 25.

[0018] (10) A selection signal x1 turns into a reversal signal of K points by the inverter 41 (drawing 6, x1 reference), and this selection signal x1 is inputted into the gate of the field-effect transistor Tx1 of an N channel. For this reason, if a selection signal x1 is set to "H", a transistor Tx1 will be turned on and between the drain and the source will flow.

[0019] (11) Selection signal x2 serves as a reversal signal of L points by the inverter 42 (refer to drawing 6 and x2), and this selection signal x2 is inputted into the gate of the field-effect transistor Tx2 of an N channel. For this reason, if selection signal x2 is set to "H", a transistor Tx2 will be turned on.

[0020] (12) A selection signal x3 turns into a reversal signal of M points by the inverter 43 (drawing 6, x3 reference), and this selection signal x3 is inputted into the gate of the field-effect transistor Tx3 of an N channel. For this reason, if a selection signal x3 is set to "H", a transistor Tx3 will be turned on.

[0021] Thus, the signal considered as the half-clock cycle shift at a selection signal x1, x2, x3, ..., order is acquired.

[0022]

[Problem(s) to be Solved by the Invention] The following technical problems occurred in the above

conventional things. Since it was transmitted with an analog signal and accumulated at capacity (capacitors C11, C21, C12, and C22), the driver voltage (image data signal·VL) of drives TFTM11, M21, M12, and M22 was influenced of the noise of the transistors Tx1, Tx2, Ty11, Ty21, and Ty12 which are selecting switches, and Ty22 grade, and when high resolution and high gradation were aimed at, it had a limitation.

[0023] Moreover, in order to accumulate the driver voltage of Drive TFT in the capacity prepared near the transistor, when the signal was lost by the OFF state current of a selecting switch and the gate of Drive TFT, and the leakage current with time and high resolution and high gradation were aimed at by them, it had a limitation.

[0024] this invention forms two or more drives TFT into 1 pixel, makes this turn on and turn off with a digital signal, performs the gradation display of an EL element with the combination of the ON and the off·drive TFT, and aims at making it not influenced of the OFF state current, the gate, a leakage current, etc. by making influence of noise, such as a selecting switch, hard to be influenced, and the latch circuit.

[0025]

[Means for Solving the Problem] this invention was constituted as follows, in order to solve the above-mentioned technical problem. Drawing 1 is

explanatory drawing of the 1st example of this invention, and shows the drive circuit of EL-element ELnm in 1 pixel. Two or more drive TFT M1, M2, and M3 by which drawing 1 was connected to the EL power supply 1 and the EL power supply 1 (TFT), these -- be alike drive TFTM1·M3 -- with EL-element ELnm to drive The transistors M4·M8 which are the selecting switches which give image data signal·VL of "H" or "L" to the gate of drives TFTM1·M3, It has the capacitors C1·C3 which accumulate the selection signal ym which chooses the transistors M4·M6 of a selecting switch, the selection signals Xn1·Xn3 which choose transistors M7·M9, and the gate voltage which drives drives TFTM1·M3.

[0026] Moreover, it differs, respectively and the mutual conductance (gm) of drives TFTM1, M2, and M3 is constituted. Furthermore, as shown in explanatory drawing of the 2nd example of drawing 3, the latch circuit of a clocked inverter and an inverter is prepared in maintenance of the driver voltage of Drive TFT.

[0027]

[Functional] The operation of this invention based on the above-mentioned composition is explained. In drawing 1, when transistors M4·M6 are chosen by the selection signal ym from the shift register of a Y-axis, the shift register of the X-axis outputs a shift (scan) signal in order of Xn2 and Xn3 from a selection signal Xn1. And synchronizing with the

shift of these selection signals Xn1-Xn3, image data signal-VL of digital "H" or "L" is supplied.

[0028] By this, the driver voltage of image data signal-VL of "H" or "L" is held at capacitors C1-C3, the drive TFT used as "L" is turned on, and the EL power supply 1 is supplied to EL-element ELnm through the drive TFT. When all the drives TFTM1-M3 are ON, EL-element ELnm emits light by the maximum brightness.

[0029] Moreover, it is the ratio of the mutual conductance of drives TFTM1, M2, and M3 20, 21, and 22. By carrying out, eight gradation can be displayed by selection of drives TFTM1-M3.

[0030] Furthermore, in drawing 3, the OFF state current of a selecting switch, the gate of drives TFTM1-M3, and influence of a leakage current can be influenced and carried out by preparing a latch circuit in maintenance of the driver voltage of drives TFTM1-M3.

[0031] Thus, ON of two or more drives TFTM1-M3 and the combination of OFF performing a gradation display, and being influenced of noises, such as a selecting switch, since the driver voltage of this drive TFT is the digital signal of ON and OFF decreases.

[0032]

[Example]

[Explanation of the 1st example]

Drawing 1 and drawing 2 are explanatory drawings of the 1st example. Drawing 1

shows the drive circuit of EL-element ELnm equivalent to 1 pixel of the conventional example of drawing 4. In drawing 1, organic EL-element ELnm driven by the drives TFTM1, M2, and M3 of three P channels connected to the EL power supply 1 and these drives TFTM1-M3 is prepared.

[0033] Moreover, the field-effect transistors (TFT) M4-M5 of the N channel which is a selecting switch, and M7-M8 are chosen as the gate of these drives TFTM1-M3 by selection signals ym, Xn1-Xn3, and digital image data signal-VL of "H" or "L" is supplied to it. And this image data signal-VL is held by capacitors C1, C2, and C3.

[0034] Furthermore, the ratio of the mutual conductance of these drives TFTM1, M2, and M3 is 20, 21, and 22, respectively. The length or width of face of the gate (channel) is changed so that it may become. Thereby, if the ON state current of drive TFTM1 is set to 1, the ON state current of 2 and drive TFTM3 will be set to 4 by the ON state current of drive TFTM2.

[0035] Drawing 2 is wave explanatory drawing in the 1st example. Hereafter, operation of the circuit of drawing 1 is explained based on drawing 2. the shift register of the X-axis -- the 3 times as many selection signals (shift pulse) Xn1, Xn2, and Xn3 as Clock CL ... is generated (drawing 2, Xn1 and Xn2, Xn3 reference) moreover, image data signal-VL -- shift

pulses Xn1, Xn2, and Xn3 -- the digital signal of "H" which synchronized with ... or "L" is outputted (refer to drawing 2 and -VL) In addition, x1 and X2 of drawing 2 show the selection signal of the X-axis shift register of the conventional example.

[0036] (1) Now, when the selection signal ym of the shift register of the Y-axis is "H", if a selection signal Xn1 is set to "H", a transistor M4 and a transistor M7 will be turned on first. For this reason, "L" of image data signal -VL at this time is given to the gate of drive TFTM1, and this drive TFTM1 is turned on. The gate voltage of this "L" is held by the capacitor C1.

[0037] (2) Next, if a selection signal Xn2 is set to "H", a transistor M5 and a transistor M8 will be turned on. For this reason, "L" of image data signal -VL at this time is given to the gate of drive TFTM2, and drive TFTM2 is turned off. The gate voltage of this "H" is held by the capacitor C2.

[0038] (3) Next, if a selection signal Xn3 is set to "H", a transistor M6 and a transistor M9 will be turned on. For this reason, "L" of image data signal -VL at this time is given to the gate of drive TFTM3, and drive TFTM3 is turned on. The gate voltage of this "L" is held by the capacitor C3.

[0039] In the case of image data signal -VL of the example of this drawing 2, drives TFTM1 and M3 are turned on,

and drive TFTM2 is turned off. By this, to EL-element ELnm, 5 times [when setting the current of drive TFTM1 to 1] as many current as this will flow from the EL power supply 1.

[0040] Thus, the current which flows to an EL element can be controlled by combination which three drives TFT from which gm differs are formed [combination] into 1 pixel, and makes this turn on and turn off, and 8 gradation displays can be performed.

[0041] [Explanation of the 2nd example] Drawing 3 is explanatory drawing of the 2nd example. Drawing 3 shows the drive circuit of EL-element ELnm equivalent to 1 pixel. The example of drawing 3 prepares the latch circuit of clocked inverters 2-4 and inverters 5-7 in holding the driver voltage of TFTM1-M3 by drive instead of the capacitors C1-C3 of drawing 1. In this case, since inverters 5-7 were formed, with drawing 1, the reversed digital image data signal VL will be supplied.

[0042] Moreover, the reversal signal of selection signals Xn1-Xn3 is given, respectively as reference (reference) voltage refn1-refn3 of clocked inverters 2-4. For this reason, the clocked inverters 2-4 which correspond, respectively when transistors M7-M9 are ON will be in a high impedance state, and when transistors M7-M9 are OFF, the clocked inverters 2-4 which correspond, respectively will be in the active state

which operates as an inverter.

[0043] The other drives TFTM1-M3, the transistor M4 which is a selecting switch - M9 grade are the same as drawing 1. Operation of the circuit of drawing 3 is explained.

[0044] (1) Now, when the selection signal y_m of the shift register of the Y-axis is "H", if a selection signal X_{n1} is set to "H", a transistor M4 and a transistor M7 will be turned on first. For this reason, the digital image data signal VL at this time is given to the gate of drive TFTM1 through an inverter 5. The gate voltage at this time is held by the latch circuit of a clocked inverter 2 and an inverter 5 when a transistor M7 is turned off.

[0045] (2) Next, if a selection signal X_{n2} is set to "H", a transistor M5 and a transistor M8 will be turned on. For this reason, the digital image data VL at this time are given to the gate of drive TFTM2 through an inverter 6. The gate voltage at this time is held by the latch circuit of a clocked inverter 3 and an inverter 6 when a transistor M8 is turned off.

[0046] (3) Next, if a selection signal X_{n3} is set to "H", a transistor M6 and a transistor M9 will be turned on. For this reason, the digital image data VL at this time are given to the gate of drive TFTM3 through an inverter 7. The gate voltage at this time is held by the latch circuit of a clocked inverter 4 and an inverter 7 when a transistor M9 is turned off.

[0047] Thus, the current which flows to

an EL element is controlled by combination of the drives TFTM1-M3 from which g_m in 1 pixel differs, and it can be influenced [neither the OFF state current of a selecting switch nor the gate of Drive TFT, and] of a leakage current by the latch circuit, and can carry out.

[0048] In addition, although the aforementioned example explained the case where three drives TFT were formed into 1 pixel, it is also not only this but two pieces or four pieces or more. Moreover, other circuits, such as a flip-flop, can also be used as a latch circuit. Furthermore, the thing of a different channel can also be used for the transistor which is Drive TFT or a selecting switch.

[0049]

[Effect of the Invention] According to this invention, there are the following effects as mentioned above.

(1) By choosing ON of two or more drives TFT in 1 pixel, and the combination of OFF, control the current which flows to an EL element and the gradation display is performed, and since the driver voltage of this drive TFT is the digital signal of ON and OFF, it stops easily being influenced of noises, such as a selecting switch, according to invention according to claim 1.

[0050] (2) Since two or more drives TFT from which g_m differs were formed into 1 pixel according to invention according to claim 2, the display of high gradation can be performed.

(3) According to invention according to claim 3, since the driving signal of Drive TFT was held by the latch circuit, influence of the OFF state current of a selecting switch, the gate of Drive TFT, a leakage current, etc. can be influenced and carried out.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is explanatory drawing of the 1st example of this invention.

[Drawing 2] It is wave explanatory drawing in the 1st example.

[Drawing 3] It is explanatory drawing of the 2nd example.

[Drawing 4] It is explanatory drawing of the conventional example.

[Drawing 5] It is explanatory drawing of the X-axis shift register of the conventional example.

[Drawing 6] It is wave explanatory drawing of the conventional example.

[Description of Notations]

1 EL Power Supply

C1-C3 Capacitor

ELnm EL element

M1-M3 Drive TFT

M4-M9 Transistor (selecting switch)

ym Selection signal

Xn1-Xn3 Selection signal

VL Image Data Signal

(2)

特開平8-129359

2

【0008】次のタイミングでは、X軸のシフトレジスタ12は、選択信号 $\chi 1$ の出力をオフとし、選択信号 $\chi 2$ を出力することになるが、ドライブトランジスタM11のゲート電圧は、コンデンサーC11で保持されるため、次にこの画面が選択されるまでEL素子EL11の前記発光は、持続することになる。

【0009】図5は、従来例のX軸シフトレジスタの説明図である。図5において、 NAND回路21と22は波形整形回路であり、逆位相のクロックCLと低レベル('L')のスタートパルス-SPが入力される。また、クロックドインバータ26～32とインバータ33～37はシフトレジスタである。さらに、インバータ38～43と NAND回路23～25は、選択信号 $\chi 1$ ～ $\chi 3$ を出力する論理回路である。

【0010】クロックCLと逆位相クロックCLは、一方が高レベル('H')の時他方が低レベル('L')になる。クロックドインバータは、クロックCL入力が'L'で逆位相クロックCL入力が'H'のときアクティブ状態となり、インバータとして動作し、また逆に、クロックCL入力が'H'で逆位相クロックCL入力が'L'のときハイインピーダンス状態となるものである。

【0011】例えば、クロックドインバータ26とクロックドインバータ29とは、クロックCL入力と逆位相クロック入力CLとが逆に接続されている。このため、クロックドインバータ26がアクティブ状態の時、クロックドインバータ29はハイインピーダンス状態となる。

【0012】図6は、従来例の波形説明図であり、以下、図5のX軸のシフトレジスタの動作を図6の各点の波形に基づいて説明する。

(1) 波形整形回路の出力であるA点の電位は、スタートパルス-SP('L')がない時'H'である。この時、「L」のスタートパルス-SPが入力されると、A点は'L'となる(図6、A参照)。

【0013】(2) B点は、A点が'L'になる時、クロックドインバータ26はアクティブ状態となるので、「H」となり、次にクロックドインバータ26がハイインピーダンス状態となる時、クロックドインバータ29がアクティブ状態となるので、前記B点の'H'がクロックドインバータ29のアクティブ期間だけ保持される(図6、B参照)。

【0014】(3) C点は、インバータ33によりB点と逆位相の波形となる(図6、C参照)。

(4) D点は、クロックドインバータ29と同時にアクティブ状態となるクロックドインバータ27と、インバータ34とクロックドインバータ30による保持回路によりB点より半クロックサイクル遅れた波形となる。

【0015】(5) E点は、インバータ34によりD点と逆位相の波形となり、C点の波形より半クロックサイ

【特許請求の範囲】

【請求項1】 1面素毎にエレクトロルミネセンス素子と、該エレクトロルミネセンス素子を駆動する複数のドライブ薄膜トランジスタとを設け、前記複数のドライブ薄膜トランジスタを選択することにより階調表示を行うことを特徴としたエレクトロルミネセンス表示装置。

【請求項2】 前記複数のドライブ薄膜トランジスタは、それぞれ相互コンダクタンスが異なるもので構成されていることを特徴とした請求項1記載のエレクトロルミネセンス表示装置。

【請求項3】 前記複数のドライブ薄膜トランジスタの駆動電圧の保持にラッチ回路を設けることを特徴とした請求項1又は2記載のエレクトロルミネセンス表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ(以下、TFTといふ)を用いてエレクトロルミネセンス(以下、ELといふ)素子を駆動するEL表示装置に関する。

【0002】

【従来の技術】 図4～図6は従来例を示した図である。以下、図面に基づいて従来例を説明する。

【0003】図4(a)は、パネルプロッグ図であり、ディスプレイ(表示)パネル10には、ディスプレイ画面11、X軸のシフトレジスタ12、Y軸のシフトレジスタ13が設けてある。

【0004】ディスプレイ画面11には、EL電源が供給されており、またX軸のシフトレジスタ12には、シフトレジスタ電源の供給とX軸同期信号の入力が行われる。さらにY軸のシフトレジスタ13には、シフトレジスタ電源の供給とY軸同期信号の入力が行われる。また、X軸のシフトレジスタ12の出力部に画像データ信号の出力が設けてある。

【0005】図4(b)は、図4(a)のA部の拡大説明図であり、ディスプレイ画面11の1面素(点線の四角で示す)に対して、トランジスタが2個、コンデンサーが1個、EL素子が1個より構成されている。

【0006】この1面素の発光動作は、例えば、Y軸のシフトレジスタ13で選択信号 $\chi 1$ の出力があり、またX軸のシフトレジスタ12で選択信号 $\chi 2$ の出力があつた場合、トランジスタTy1とトランジスタTx1がオンとなる。

【0007】このため、画像データ信号-VLは、ドライブトランジスタM11のゲートに入力される。これにより、このゲート電圧に応じた電流がEL電源からドライブトランジスタM11のドレイン、ソース間に流れ、EL素子EL11が発光する。

(3)

特開平8-129359

4

3

クル回された波形となる(図6、E参照)。

(6) F点は、クロックドインペータ30と同時にアクティブ状態となるクロックドインペータ28と、インペータ35とクロックドインペータ31による保持回路によりD点より半クロックサイクル回された波形となる。

【0016】(7) G点は、インペータ35によりF点と逆位相の波形となり、E点の波形より半クロックサイクル回された波形となる(図6、G参照)。

(8) H点は、インペータ38によりC点の反転信号となる(図6、H参照)。I点は、インペータ39によりE点の反転信号となる(図6、I参照)。また、J点は、インペータ40によりG点の反転信号となる(図6、J参照)。

【0017】(9) K点は、 NAND回路23の出力であり、 NAND回路23の2つの入力にはH点とE点の信号が入力される。L点は、 NAND回路24の出力であり、 NAND回路24の2つの入力にはI点とG点の信号が入力される。また、M点は、 NAND回路25の出力であり、 NAND回路25の2つの入力にはJ点とインペータ(図示せず)からの信号が入力される。

【0018】(10) 選択信号x1は、インペータ41によりK点の反転信号となり(図6、x1参照)、この選択信号x1は、Nチャネルの電界効果トランジスタTx1のゲートに入力される。このため、選択信号x1が「H」となるとトランジスタTx1がオンとなり、そのドレイン、ソース間が導通する。

【0019】(11) 選択信号x2は、インペータ42によりL点の反転信号となり(図6、x2参照)、この選択信号x2は、Nチャネルの電界効果トランジスタTx2のゲートに入力される。このため、選択信号x2が「H」となるとトランジスタTx2がオンとなる。

【0020】(12) 選択信号x3は、インペータ43によりM点の反転信号となり(図6、x3参照)、この選択信号x3は、Nチャネルの電界効果トランジスタTx3のゲートに入力される。このため、選択信号x3が「H」となるとトランジスタTx3がオンとなる。

【0021】このようにして、選択信号x1、x2、x3、...と順に、半クロックサイクルシフトとした信号が得られる。

【0022】

【発明が解決しようとする課題】上記のような従来のものにおいては、次のような課題があった。ドライブTFTM1、M2、M12、M22の駆動電圧(画像データ信号-VL)は、アナログ信号で伝達され、容量(コンデンサC11、C21、C12、C22)に蓄積されるため、選択スイッチであるトランジスタTx1、Tx2、Ty11、Ty21、Ty12、Ty22等のノイズの影響を受け、高解像度、高階調を目指したとき限界があった。

【0023】また、ドライブTFTの駆動電圧は、その

トランジスタの近傍に設けられた容量に蓄積するため、選択スイッチのオフ電流及びドライブTFTのゲート、リーク電流によって時間と共にその信号が失われ、高解像度、高階調を目指したとき、限界があった。

【0024】本発明は、1画素中に複数のドライブTFTを設け、デジタル信号でこれをオン、オフさせ、そのオン、オフドライブTFTの組み合わせにより、EL素子の階調表示を行い、選択スイッチ等のノイズの影響を受けにくくすること、また、ラッチ回路により、オフ電流、ゲート、リーク電流等の影響を受けないようにすることを目的とする。

【0025】

【課題を解決するための手段】本発明は、上記の課題を解決するため次のように構成した。図1は本発明の第1実施例の説明図であり、1画素中のEL素子ELnmの駆動回路を示す。図1は、EL電源1と、EL電源1に接続された複数のドライブ薄膜トランジスタ(TFT)M1、M2、M3と、これらのドライブTFTM1～M3により駆動されるEL素子ELnmと、ドライブTFTM1～M3のゲートに「H」又は「L」の画像データ信号-VLを与える選択スイッチであるトランジスタM4～M8と、選択スイッチのトランジスタM4～M6を選択する選択信号ymとトランジスタM7～M9を選択する選択信号Xn1～Xn8と、ドライブTFTM1～M3を駆動するゲート電圧を蓄積するコンデンサC1～C8を備える。

【0026】また、ドライブTFTM1、M2、M3の相互コンダクタンス(gm)をそれぞれ異なるもので構成する。さらに、図2の第2実施例の説明図のように、ドライブTFTの駆動電圧の保持に、クロックドインペータとインペータのラッチ回路を設ける。

【0027】

【作用】上記構成に基づく本発明の作用を説明する。図1において、Y軸のシフトレジスタからの選択信号ymによりトランジスタM4～M6が選択された時、X軸のシフトレジスタは選択信号Xn1からXn2、Xn3の順にシフト(走査)信号を出力する。そして、この選択信号Xn1～Xn3のシフトに同期して、デジタルの「H」又は「L」の画像データ信号-VLを供給する。

【0028】これにより、コンデンサC1～C8には「H」又は「L」の画像データ信号-VLの駆動電圧が保持され、「L」となったドライブTFTがオンとなり、そのドライブTFTを通してEL電源1がEL素子ELnmに供給される。ドライブTFTM1～M3のすべてがオンの時、EL素子ELnmが最大輝度で発光する。

【0029】また、ドライブTFTM1、M2、M3の相互コンダクタンスの比を例えば 2^0 、 2^1 、 2^2 にすることにより、ドライブTFTM1～M3の選択により8階調の表示を行うことができる。

50

(4)

特開平8-129359

6

【0030】さらに、図3において、ドライブTFTM1～M3の駆動電圧の保持にラッチ回路を設けることにより、選択スイッチのオフ電流、ドライブTFTM1～M3のゲート、リーク電流の影響を受けなくすることができる。

【0031】このように、複数のドライブTFTM1～M3のオン、オフの組み合わせにより階調表示を行い、また、このドライブTFTの駆動電圧はオン、オフのデジタル信号なので、選択スイッチ等のノイズの影響を受けることが少なくなる。

【0032】

【実施例】

【第1実施例の説明】図1、図2は第1実施例の説明図である。図1は、図4の従来例の1画素に相当する、EL素子ELnmの駆動回路を示す。図1において、EL電源1に接続された3個のPチャネルのドライブTFTM1、M2、M3と、これらのドライブTFTM1～M3により駆動される有機EL素子ELnmが設けてある。

【0033】また、これらのドライブTFTM1～M3のゲートには、選択信号ym、Xn1～Xn3により選択スイッチであるNチャネルの電界効果トランジスタ

(TFT) M4～M5、M7～M8を選択して「H」又は「L」のデジタル画像データ信号～VLが供給される。そして、この画像データ信号～VLは、コンデンサC1、C2、C3により保持される。

【0034】さらに、これらのドライブTFTM1、M2、M3の相互コンダクタンスの比は、それぞれ2⁰、2¹、2²となるように、ゲート(チャネル)の長さ又は幅を変化させてある。これにより、ドライブTFTM1のオン電流を1とすると、ドライブTFTM2のオン電流は2、ドライブTFTM3のオン電流は4となる。

【0035】図2は、第1実施例における波形説明図である。以下、図2に基づいて、図1の回路の動作を説明する。X軸のシフトレジスタによりクロックCLの3倍の選択信号(シフトパルス)Xn1、Xn2、Xn3・・・を発生させる(図2、Xn1、Xn2、Xn3参照)。また、画像データ信号～VLは、シフトパルスXn1、Xn2、Xn3・・・に同期した「H」又は

「L」のデジタル信号が出力される(図2、～VL参照)。なお、図2のx1、X2は従来例のX軸シフトレジスタの選択信号を示す。

【0036】(1)今、Y軸のシフトレジスタの選択信号ymが「H」の時、まず、選択信号Xn1が「H」になると、トランジスタM4とトランジスタM7がオンとなる。このため、この時の画像データ信号～VLの「L」がドライブTFTM1のゲートに与えられ、このドライブTFTM1がオンとなる。この「L」のゲート電圧は、コンデンサC1により保持される。

【0037】(2)次に、選択信号Xn2が「H」にな

ると、トランジスタM6とトランジスタM8がオンとなる。このため、この時の画像データ信号～VLの「L」がドライブTFTM2のゲートに与えられ、ドライブTFTM2はオフとなる。この「H」のゲート電圧はコンデンサC2により保持される。

【0038】(3)次に、選択信号Xn3が「H」になると、トランジスタM6とトランジスタM9がオンとなる。このため、この時の画像データ信号～VLの「L」がドライブTFTM3のゲートに与えられ、ドライブTFTM3はオフとなる。この「L」のゲート電圧は、コンデンサC3により保持される。

【0039】この図2の例の画像データ信号～VLの場合、ドライブTFTM1とM3がオンとなりドライブTFTM2がオフとなる。これにより、EL素子ELnmには、EL電源1より、ドライブTFTM1の電流を1とした時の5倍の電流が流れることになる。

【0040】このように、1画素中にg個の異なる8個のドライブTFTを設けこれをオン、オフさせる組み合わせによって、EL素子に流れる電流を制御し、8階調表示を行うことができる。

【0041】【第2実施例の説明】図3は、第2実施例の説明図である。図3は、1画素に相当するEL素子ELnmの駆動回路を示す。図3の例は、ドライブTFTM1～M3の駆動電圧を保持するのに図1のコンデンサC1～C3のかわりにクロックドインバータ2～4とインバータ5～7のラッチ回路を設けたものである。この場合、インバータ6～7を設けたため、図1とは反転したデジタルの画像データ信号VLを供給することになる。

【0042】また、クロックドインバータ2～4の参照(レファレンス)電圧refn1～refn3として、それぞれ選択信号Xn1～Xn3の反転信号が与えられる。このため、トランジスタM7～M9がオンのとき、それぞれ対応するクロックドインバータ2～4がハイインピーダンス状態となり、トランジスタM7～M9がオフのとき、それぞれ対応するクロックドインバータ2～4がインバータとして動作するアクティブ状態となる。

【0043】その他のドライブTFTM1～M3、選択スイッチであるトランジスタM4～M9等は図1と同じものである。図3の回路の動作を説明する。

【0044】(1)今、Y軸のシフトレジスタの選択信号ymが「H」の時、まず、選択信号Xn1が「H」となると、トランジスタM4とトランジスタM7がオンとなる。このため、この時のデジタルの画像データ信号VLがインバータ5を介してドライブTFTM1のゲートに与えられる。この時のゲート電圧は、トランジスタM7がオフとなった時、クロックドインバータ2とインバータ5のラッチ回路により保持される。

【0045】(2)次に、選択信号Xn2が「H」となると、トランジスタM6とトランジスタM8がオンとな

(6)

特開平8-129359

8

7
る。このため、この時のデジタル画像データV_Lがインバータ6を介してドライブTFTM2のゲートに与えられる。この時のゲート電圧は、トランジスタM8がオフとなった時に、クロックドインバータ3とインバータ8のラッピング回路により保持される。

【0046】(3) 次に、選択信号X_n3が「H」となると、トランジスタM6とトランジスタM9がオンとなる。このため、この時のデジタル画像データV_Lがインバータ7を介してドライブTFTM3のゲートに与えられる。この時のゲート電圧は、トランジスタM9がオフとなった時に、クロックドインバータ4とインバータ7のラッピング回路により保持される。

【0047】このように、1画素中の5個の異なるドライブTFTM1～M3の組み合わせによって、EL素子に流れる電流を制御し、ラッピング回路により選択スイッチのオフ電流やドライブTFTのゲート、リーク電流の影響等を受けなくすることができる。

【0048】なお、前記実施例では、1画素中にドライブTFTを3個設けた場合の説明をしたが、これに限らず2個又は4個以上とすることもできる。また、ラッピング回路として、フリップフロップ等の他の回路を用いることもできる。更に、ドライブTFT又は選択スイッチであるトランジスタは、異なるチャネルのものを使用することもできる。

【0049】

【発明の効果】以上のように本発明によれば次のような効果がある。

(1) 請求項1記載の発明によれば、1画素中の複数の

10

ドライブTFTのオン、オフの組み合わせを選択することによって、EL素子に流れる電流を制御して階調表示を行っており、このドライブTFTの駆動電圧は、オン、オフのデジタル信号なので選択スイッチ等のノイズの影響を受けにくくなる。

【0050】(2) 請求項2記載の発明によれば、1画素中に5個の異なる複数のドライブTFTを設けたので、高階調の表示を行うことができる。

(3) 請求項3記載の発明によれば、ドライブTFTの駆動信号をラッピング回路により保持したので、選択スイッチのオフ電流、ドライブTFTのゲート、リーク電流等の影響を受けなくすることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例の説明図である。

【図2】第1実施例における波形説明図である。

【図3】第2実施例の説明図である。

【図4】従来例の説明図である。

【図5】従来例のX軸シフトレジスタの説明図である。

【図6】従来例の波形説明図である。

【符号の説明】

1 EL電源

C1～C3 コンデンサ

ELnm EL素子

M1～M3 ドライブTFT

M4～M9 トランジスタ(選択スイッチ)

ym 選択信号

Xn1～Xn3 選択信号

VL 画像データ信号

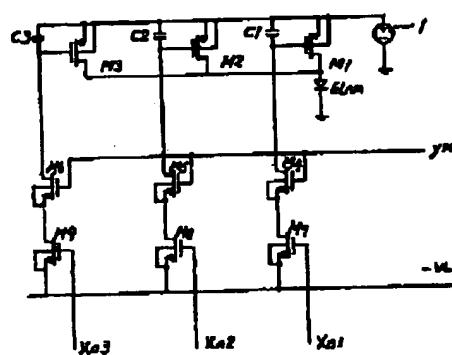
20

(6)

詩歌平8-129359

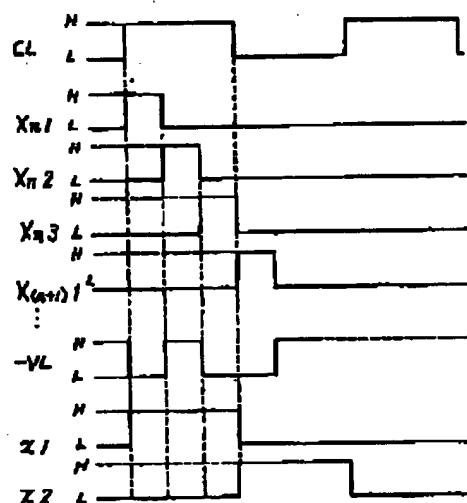
〔圖1〕

本発明の第1実施例の説明図



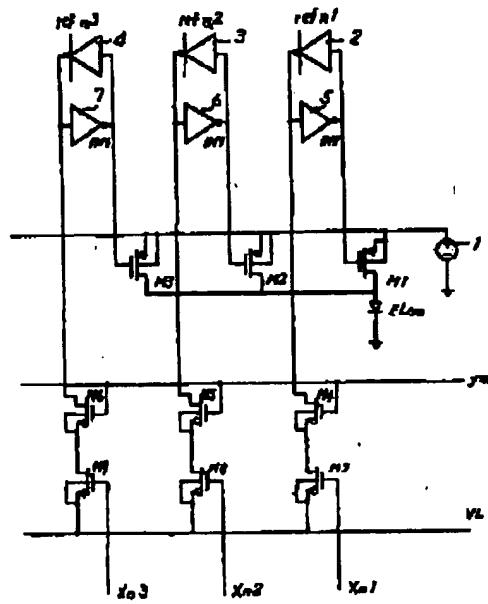
[圖 2]

第1実施例における波形説明図



【图31】

第2実例の説明図



BEST AVAILABLE COPY

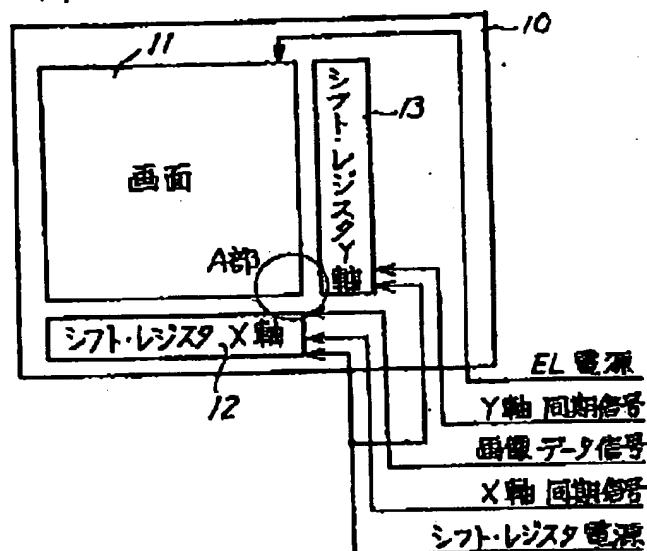
特開平8-129359

(7)

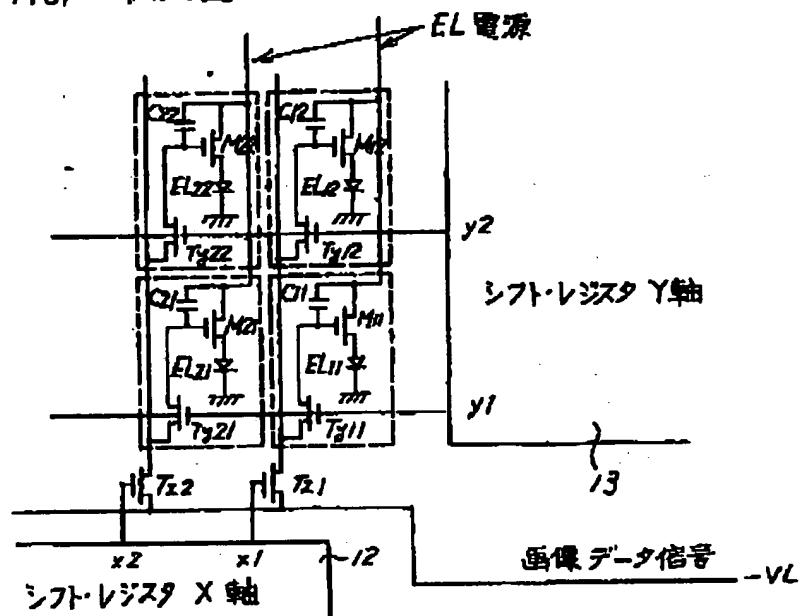
【図4】

従来例の説明図

(a) パネルブロック図



(b) A部の拡大図



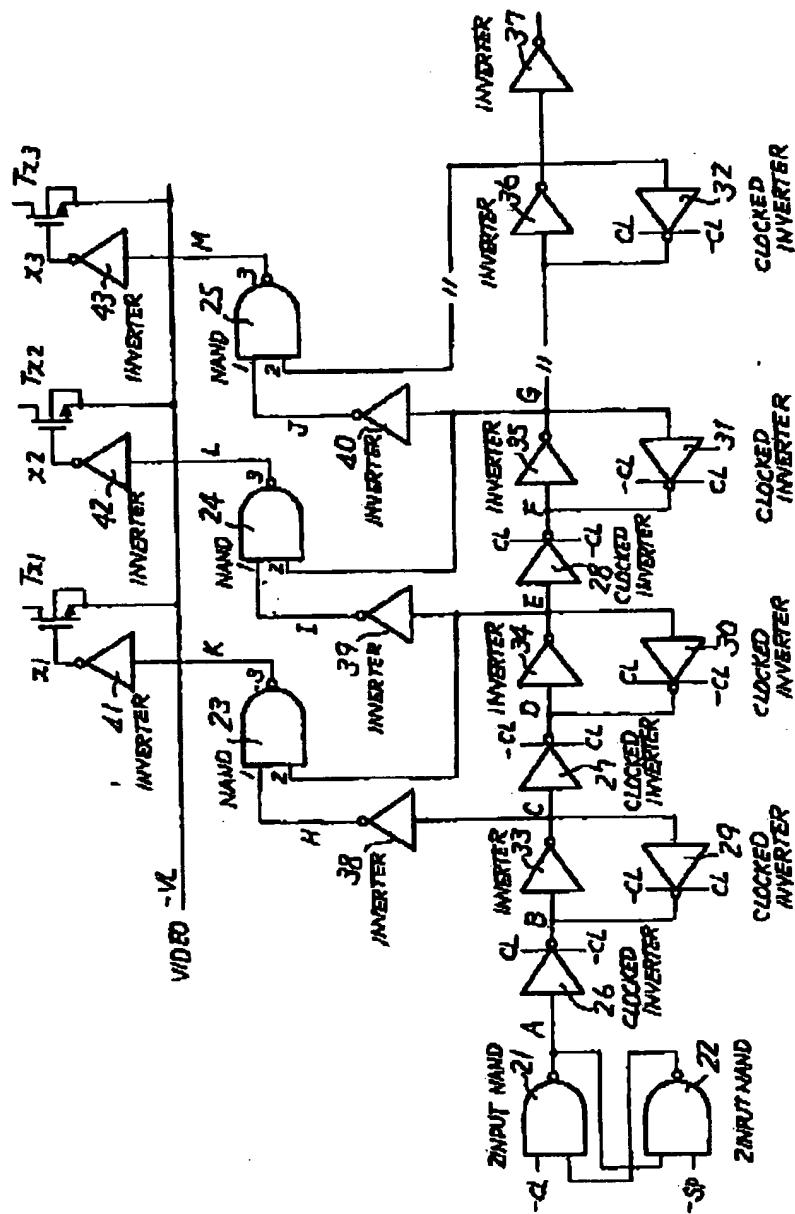
BEST AVAILABLE COPY

(8)

特開平8-129359

【図6】

従来例のX軸シフトレジスタの説明図



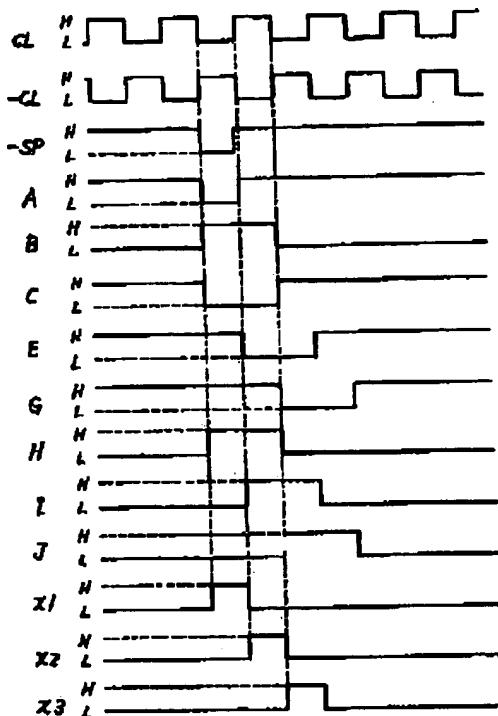
BEST AVAILABLE COPY

(9)

特開平8-129359

【図6】

従来例の波形説明図



BEST AVAILABLE COPY